

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月25日

出 願 番 号

Application Number:

特願2002-216659

[ ST.10/C ]:

[ JP2002-216659 ]

出 願 人

Applicant(s):

セイコーエプソン株式会社

2003年 4月 1日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3022914

【書類名】 特許願

【整理番号】 EP-0358501

【提出日】 平成14年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 佐藤 明

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 基板の一方の面に搭載されて樹脂封止された半導体チップと電氣的に接続され、前記基板の他方の面に複数行複数列で設けられてなる複数の外部端子のうち、少なくとも 1 つの前記外部端子の高さを低くすることを含む半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、少なくとも 1 つの前記外部端子の先端を研削して、高さを低くする半導体装置の製造方法。

【請求項 3】 請求項 1 又は請求項 2 記載の半導体装置の製造方法において、前記複数の外部端子の先端がほぼ同一平面上に配置されるように、少なくとも 1 つの前記外部端子の高さを低くする半導体装置の製造方法。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、

前記基板を半導体チップが搭載された面の側に反らせることを、さらに含む半導体装置の製造方法。

【請求項 5】 請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、

前記基板を前記外部端子が形成された面の側に反らせることを、さらに含む半導体装置の製造方法。

【請求項 6】 請求項 1 から請求項 5 のいずれかに記載の半導体装置の製造方法において、

前記外部端子をエリアアレイ状に配置する半導体装置の製造方法。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の半導体装置の製造方法において、

前記複数の外部端子を同じ高さに形成した後に、少なくとも 1 つの前記外部端

子の高さを低くする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、  
少なくとも 1 つの前記外部端子の高さを低くして、先端面を平らに形成する半導体装置の製造方法。

【請求項 9】 基板と、  
前記基板の一方の面に搭載されてなる樹脂封止された半導体チップと、  
前記基板の他方の面に複数行複数列で設けられてなり、前記半導体チップと電氣的に接続された、高さが異なる複数の外部端子と、  
を有し、  
前記基板は反ってなり、  
前記複数の外部端子の先端は、ほぼ同一平面上に配置されてなる半導体装置。

【請求項 10】 請求項 9 記載の半導体装置において、  
前記基板は、前記半導体チップが搭載された側に反ってなる半導体装置。

【請求項 11】 請求項 9 記載の半導体装置において、  
前記基板は、前記外部端子が搭載された側に反ってなる半導体装置。

【請求項 12】 基板と、  
前記基板の一方の面に搭載されてなる樹脂封止された半導体チップと、  
前記基板の他方の面に複数行複数列で設けられてなり、前記半導体チップと電氣的に接続された、先端面が平らで側面が曲面になっている複数の外部端子と、  
を有する半導体装置。

【請求項 13】 請求項 9 から請求項 12 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 14】 請求項 9 から請求項 12 のいずれかに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

従来、エリアアレイ型のパッケージでは、半導体チップをモールド封止することが知られていた。

【0003】

しかし、半導体チップをモールド封止する際に、モールド樹脂の硬化収縮等の原因で基板に反りが発生することがあった。この場合、外部端子の先端が同一平面上に配置されなくなることがあり、半導体装置を実装基板に実装できないことがあった。また、外部端子が大きすぎる場合、半導体装置の組み付け高さが高くなりすぎるため、半導体装置を実装基板に実装できないことがあった。

【0004】

本発明は、上述した課題を解決するためのものであり、その目的は、実装性の高い半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、

基板の一方の面に搭載されて樹脂封止された半導体チップと電氣的に接続され、前記基板の他方の面に複数行複数列で設けられてなる複数の外部端子のうち、少なくとも1つの前記外部端子の高さを低くすることを含む。

【0006】

本発明によれば、外部端子の高さを低くするので、実装性に優れた半導体装置を製造することができる。

【0007】

(2) この半導体装置の製造方法において、

少なくとも1つの前記外部端子の先端を研削して、高さを低くしてもよい。

【0008】

これによると、容易に実装性に優れた半導体装置を製造することができる。

【0009】

(3) この半導体装置の製造方法において、

前記複数の外部端子の先端がほぼ同一平面上に配置されるように、少なくとも1つの前記外部端子の高さを低くしてもよい。

【0010】

(4) この半導体装置の製造方法において、  
前記基板を半導体チップが搭載された面の側に反らせることを、さらに含んでもよい。

【0011】

(5) この半導体装置の製造方法において、  
前記基板を前記外部端子が形成された面の側に反らせることを、さらに含んでもよい。

【0012】

(6) この半導体装置の製造方法において、  
前記外部端子をエリアアレイ状に配置してもよい。

【0013】

(7) この半導体装置の製造方法において、  
前記複数の外部端子を同じ高さに形成した後に、少なくとも1つの前記外部端子の高さを低くしてもよい。

【0014】

これによれば、同じ大きさの外部端子を利用することができるため、容易に半導体装置を製造することができる。

【0015】

(8) この半導体装置の製造方法において、  
少なくとも1つの前記外部端子の高さを低くして、先端面を平らに形成してもよい。

【0016】

(9) 本発明に係る半導体装置は、  
基板と、  
前記基板の一方の面に搭載されてなる樹脂封止された半導体チップと、  
前記基板の他方の面に複数行複数列で設けられてなり、前記半導体チップと電

氣的に接続された、高さが異なる複数の外部端子と、

を有し、

前記基板は反ってなり、

前記複数の外部端子の先端は、ほぼ同一平面上に配置されてなる。

【 0 0 1 7 】

本発明によれば、外部端子の先端を同一平面上に配置されているので、基板が反っていても、半導体装置の実装が可能になっている。

【 0 0 1 8 】

( 1 0 ) この半導体装置において、

前記基板は、前記半導体チップが搭載された側に反ってもよい。

【 0 0 1 9 】

( 1 1 ) この半導体装置において、

前記基板は、前記外部端子が搭載された側に反ってもよい。

【 0 0 2 0 】

( 1 2 ) 本発明に係る半導体装置は、

基板と、

前記基板の一方の面に搭載されてなる樹脂封止された半導体チップと、

前記基板の他方の面に複数行複数列で設けられてなり、前記半導体チップと電氣的に接続された、先端面が平らで側面が曲面になっている複数の外部端子と、  
を有する。

【 0 0 2 1 】

本発明によれば、外部端子の高さが低く、実装性の高い半導体装置を提供することができる。

【 0 0 2 2 】

( 1 3 ) 本発明に係る回路基板には、上記半導体装置が実装されてなる。

【 0 0 2 3 】

( 1 4 ) 本発明に係る電子機器には、上記半導体装置を有する。

【 0 0 2 4 】

【発明の実施の形態】



以下、本発明の実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

【0025】

(第1の実施の形態)

図1(A)及び図1(B)は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

【0026】

はじめに、基板10を用意する。基板10は配線基板又はインターポーザと称してもよい。基板10の平面形状は矩形であることが一般的であるがこれに限られない。また、基板10の全体形状についても、特に限定されない。また、基板10の厚みも限定されない。

【0027】

基板10の材料は、有機系又は無機系のいずれの材料であってもよく、これらの複合構造からなるものであってもよい。基板10として、例えばポリエチレンテレフタレート(PET)からなる基板又はフィルムを使用してもよい。あるいは、基板10としてポリイミド樹脂からなるフレキシブル基板を使用してもよい。フレキシブル基板としてFPC(Flexible Printed Circuit)や、TAB(Tape Automated Bonding)技術で使用されるテープを使用してもよい。また、無機系の材料から形成された基板10として、例えばセラミックス基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。また、基板10として、多層基板やビルドアップ型基板を用いてもよい。

【0028】

基板10は、配線パターン12を有する。配線パターン12は、基板10の一方の面に形成される。配線パターン12は、複数層から構成してもよい。例えば、銅(Cu)、クロム(Cr)、チタン(Ti)、ニッケル(Ni)、チタンタングステン(Ti-W)のうちのいずれかを積層して配線パターン12を形成することができる。配線パターン12は、フォトリソグラフィ、スパッタ、又はメッキ処理によって形成してもよい。また、配線パターン12の一部は、配線とな

る部分よりも面積の大きいランド部（図示せず）となっていてよい。ランド部は電氣的接続部を十分に確保する機能を有し、半導体チップ 2 0 の電極 2 2 又は外部端子 1 6 などの電氣的接続部として設けられることが多い。

#### 【 0 0 2 9 】

基板 1 0 には、基板 1 0 の両方の面を電氣的に導通するための貫通孔 1 9 が形成されてもよい。配線パターン 1 2 の一部はランド部（図示しない）であってもよい。貫通孔 1 9 を形成することによって、基板 1 0 における配線パターン 1 2 の形成面にかかわらず、基板 1 0 の両方の側から配線パターン 1 2 との電氣的接続を図ることができる。

#### 【 0 0 3 0 】

図 1（A）に示すように、本実施の形態に係る基板 1 0 は、配線パターン 1 2 が形成された面とは反対の面に配線パターン 1 4 を有してもよい。基板 1 0 における半導体チップ 3 0 が搭載される側とは反対側の面に、配線パターン 1 4 を形成してもよい。この場合、配線パターン 1 2 と配線パターン 1 4 とは電氣的に接続される。図 1（A）に示す例では、基板 1 0 にはスルーホール 1 8 が形成されており、配線パターン 1 2 と配線パターン 1 4 とは、スルーホール 1 8 を介して電氣的に接続される。配線パターン 1 4 の表面には、外部端子 1 4 と接触する部分を避けて、絶縁膜を形成してもよい。

#### 【 0 0 3 1 】

次に、基板 1 0 に半導体チップ 2 0 を搭載する。半導体チップ 2 0 は、例えばフラッシュメモリ、S R A M、D R A M、A S I C 又は、M P U 等であってもよい。半導体チップ 2 0 の平面形状は、多くの場合矩形（正方形又は長方形）をなす。また、半導体チップ 2 0 の能動面には、図示しないパッシベーション膜が形成されてもよい。パッシベーション膜は例えば、S i O<sub>2</sub>、S i N、ポリイミド樹脂等で形成することができる。

#### 【 0 0 3 2 】

半導体チップ 2 0 の一方の面（能動面）には、複数の電極 2 2 が形成されている。電極 2 2 は、半導体チップ 2 0 の能動面の少なくとも一辺（多くの場合、平行な 2 辺又は 4 辺）に沿って並んでいてもよい。電極 2 2 は、パッド 2 4 とバン

プ 2 6 とを含んでもよい。パッド 2 4 は、例えばアルミニウム又は銅等で、半導体チップ 2 0 に薄く平らに形成してもよい。バンプ 2 6 は無電解メッキで形成してもよいし、ワイヤーボンディングによって形成するボールバンプであってもよい。パッド 2 4 とバンプ 2 6 との間にバンプ金属の拡散防止層として、ニッケル、クロム、チタンなどを付加してもよい。あるいは、バンプ 2 6 を無くしてパッドだけで電極 2 2 を構成してもよい。

#### 【 0 0 3 3 】

図 1 (A) に示すように、パッド 2 4 に形成されたバンプ 2 6 を用いて、半導体チップ 2 0 をフェースダウンボンディングしてもよい。この場合、バンプ 2 6 と配線パターン 1 2 との電気的な接合の形態は、導電樹脂ペースト、又は Au-Au、Au-Su、ハンダなどによる金属接合、又は絶縁樹脂の収縮力による接合などがあり、そのいずれの形態を用いてもよい。なお、本実施の形態に係る半導体装置は、基板 1 0 に搭載される半導体チップ 2 0 が複数に重ねられてなる、いわゆるスタック型の半導体装置であってもよい。

#### 【 0 0 3 4 】

次に、半導体チップ 2 0 を封止材（モールド樹脂） 3 0 によって封止する。封止材 3 0 として、熱硬化性樹脂を用いることが多いが、これに限定されるものではない。封止材 3 0 として、例えばエポキシ樹脂等を利用することができる。

#### 【 0 0 3 5 】

図 1 (A) に示すように、本実施の形態に係る基板 1 0 は、半導体チップが搭載される側に、すなわち、半導体チップ 2 0 側が凹面になるように反っている。基板 1 0 は、半導体チップ 2 0 をモールド封止する工程において、基板 1 0 と封止材 3 0 との収縮力の違い等を利用して反らせてもよい。例えば、封止材 3 0 と基板 1 0 との関係において、封止樹脂 3 0 の硬化収縮が基板 1 0 の冷却による収縮よりも大きい場合、封止材 3 0 の硬化収縮によって、基板 1 0 を反らせることができる。ここで、基板 1 0 を、あらかじめ半導体チップ 2 0 が搭載された側に小さく反らせておけば、封止材 3 0 の硬化収縮により、基板 1 0 を半導体チップ 2 0 が搭載された側に大きく反らせることができる（図 1 (A) 参照）。

#### 【 0 0 3 6 】

次に、基板 1 0 に外部端子 1 6 を形成する。図 1 (A) に示す例では、外部端子 1 6 は配線パターン 1 4 上に形成されており、配線パターン 1 4 (スルーホール 1 8) を介して、配線パターン 1 2 と電氣的に接続されている。外部端子 1 6 として、ハンダボール等を利用することができる。なお、外部端子 1 6 の大きさは特に限定されないが、同じ高さの導電部材を利用して外部端子 1 6 を形成してもよい。

## 【 0 0 3 7 】

ただし、本実施の形態に係る外部端子 1 6 はこれに限られず、例えば、基板 1 0 に形成された貫通孔 1 9 を介して、外部端子 1 6 を配線パターン 1 2 に設けてもよい。詳しくは、貫通孔 1 9 から露出した配線パターン 1 2 の一部 (例えばランド部) に、外部端子 1 6 を設け、基板 1 0 における半導体チップ 3 0 が搭載される側とは反対側から突出させてもよい。外部端子 1 6 はハンダで形成してもよく、ハンダボールの材料となるハンダを貫通孔 1 9 に充填して、ハンダボールと一体化した導電部材を貫通孔 1 9 に形成してもよい。

## 【 0 0 3 8 】

外部端子 1 6 の形成される形態は、図 1 (A) に示すような FAN-IN 型、あるいは FAN-OUT 型、及び FAN-IN/OUT 型のいずれであってもよい。また、外部端子 1 6 は、図 2 (A) に示すように、エリアアレイ状に配置されてもよく、あるいは図 2 (B) に示すように、基板 3 0 の中央部を避け、基板 3 0 の端部側に複数行複数列に配置されてもよい。

## 【 0 0 3 9 】

次に、図 1 (B) に示すように、外部端子 1 6 の高さを低くして、半導体装置を製造する。具体的には、外部端子 1 6 の先端側を研削して外部端子 1 6 の高さを低くしてもよい。あるいは、外部端子 1 6 の先端を溶融させて、外部端子 1 6 の高さを低くしてもよい。ただし、本実施の形態に係る半導体装置の製造方法はこれに限られない。これにより半導体装置の高さが低い、実装性に優れた半導体装置 1 を製造することができる。この場合、半導体装置 1 は、先端面が平らで側面が曲面になっている、1 つあるいは複数の外部端子 6 0 を有する。

## 【 0 0 4 0 】

図 1 (A) に示すように、本実施の形態に係る基板 1 0 は、半導体チップ 2 0 が搭載された側に、すなわち、半導体チップ 2 0 の側が凹面になるように反っている。そのため、同じ高さの外部端子 1 6 を利用すると、外部端子 1 6 の先端が、実装基板に実装可能な程度に平坦面上に配置できないことがあった。しかしこの場合でも、複数ある外部端子 1 6 のうちのいずれか 1 つ（あるいは複数）の外部端子 1 6 の高さを低くすることで、外部端子 6 0 の先端を、実装可能な程度の、ほぼ同一平面上に配置することが可能となる（図 1 (B) 参照）。そのため、図 1 (A) に示すように、基板 1 0 に反りが生じている場合でも、実装可能な半導体装置 1 を製造することができる。

#### 【 0 0 4 1 】

また、図 1 (A) に示すように、基板 1 0 が、半導体チップ 2 0 が搭載された側に、すなわち、半導体チップ 2 0 の側が凹面になるように反っている場合、外部端子 1 6 の高さを低くすることで、基板 1 0 の端部側の外部端子 6 0 の高さを、基板 1 0 の中央部側の外部端子 6 0 の高さよりも高くすることができる。そのため、基板 1 0 の端部側に形成された外部端子 6 0 の体積が、基板 4 0 の中央部付近に形成された外部端子 6 0 の体積よりも大きくなる（図 1 (B) 参照）。これによって、応力が集中しやすい半導体装置の端部付近の接合力を強くすることができるため、応力に対する信頼性の高い半導体装置 1 を製造することができる。

#### 【 0 0 4 2 】

##### （変形例）

図 3 (A) 及び図 3 (B) は、本発明を適用した第 1 の実施の形態の変形例に係る半導体装置製造方法を説明するための図である。

#### 【 0 0 4 3 】

本実施の形態に係る半導体装置は、基板 4 0 を有する。図 3 (A) に示すように、基板 4 0 は、外部端子 1 6 が形成された側に、すなわち、外部端子 1 6 の側が凹面になるように反っている。基板 4 0 は、半導体チップ 3 0 をモールド封止する工程において、基板 4 0 と封止材 3 0 との収縮力の違い等を利用して反らせてもよい。例えば、封止材 3 0 と基板 4 0 との関係において、封止樹脂 3 0 の硬化収縮が基板 4 0 の冷却による収縮よりも大きい場合、封止材 3 0 の硬化収縮によ

って、基板 4 0 を反らせることができる。ここで、基板 1 0 を、あらかじめ外部端子 1 6 が形成される側に小さく反らせておけば、封止材 3 0 の硬化収縮により、基板 4 0 を外部端子 1 6 が形成された側に大きく反らせることができる（図 3（A）参照）。

#### 【 0 0 4 4 】

なお、本実施の形態においては、配線パターン 1 2、1 4 の形成方法、半導体チップ 2 0 の搭載方法、外部端子 1 6 の配列（図 2（A）、図 2（B）参照）等について、第 1 の実施の形態で説明した内容と同じ内容を適用することができる。

#### 【 0 0 4 5 】

そして、外部端子 1 6 の高さを低くして、図 3（B）に示す半導体装置 2 を製造することができる。本実施の形態に係る基板 4 0 は、外部端子 1 6 が形成された側に、すなわち、外部端子 1 6 の側が凹面になるように反っている。そのため、同じ高さの外部端子 1 6 を利用すると、外部端子 1 6 の先端が、実装基板に実装可能な程度に平坦面上に配置できないことがあった（図 3（A）参照）。しかしこの場合でも、複数ある外部端子 1 6 のうちのいずれか 1 つ（あるいは複数）の外部端子 1 6 の高さを低くすることで、外部端子 6 0 の先端を、実装可能な程度の、ほぼ同一平面上に配置することが可能となる（図 3（B）参照）。そのため、図 3（A）に示すように、基板 4 0 に反りが生じている場合でも、実装可能な半導体装置 2 を製造することができる。この場合、半導体装置 2 は、先端面が平らで側面が曲面になっている、1 つあるいは複数の外部端子 6 0 を有する。また、基板 4 0 の端部側に形成される外部端子 6 0 の高さは、基板 4 0 の中央部側に形成される外部端子 6 0 の高さよりも低くなる。

#### 【 0 0 4 6 】

（第 2 の実施の形態）

図 4（A）及び図 4（B）は、本発明を適用した第 2 の実施の形態に係る半導体装置の構成を説明するための図である。なお、本実施の形態でも、第 1 の実施の形態で説明した内容を可能な限り適用することができる。

#### 【 0 0 4 7 】

図 4 (A) に示すように、本実施の形態に係る基板 5 0 は平坦である。なお、本実施の形態においても、配線パターン 1 2、1 4 の形成方法、半導体チップ 2 0 の搭載方法、外部端子 1 6 の配列 (図 2 (A)、図 2 (B) 参照) 等について、第 1 の実施の形態で説明した内容を適用することができる。

#### 【 0 0 4 8 】

そして、外部端子 1 6 の高さを低くして、半導体装置を製造する。これにより、高さが低く、実装性に優れた半導体装置 3 を製造することができる。この場合、半導体装置 1 は、先端面が平らで側面が曲面になっている、1 つあるいは複数の外部端子 6 0 を有する。

#### 【 0 0 4 9 】

図 5 には、上述の実施の形態に係る半導体装置 1 を実装した回路基板 1 0 0 0 が示されている。また、本発明の実施の形態に係る半導体装置を有する電子機器として、図 6 にはノート型パーソナルコンピュータ 2 0 0 0 が示され、図 7 には携帯電話 3 0 0 0 が示されている。

#### 【 0 0 5 0 】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成 (例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成) を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

#### 【図面の簡単な説明】

##### 【図 1】

図 1 (A) 及び図 1 (B) は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

##### 【図 2】

図 2 (A) 及び図 2 (B) は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 3】

図 3 (A) 及び図 3 (B) は、本発明を適用した第 1 の実施の形態の変形例に係る半導体装置の製造方法を示す図である。

【図 4】

図 4 (A) 及び図 4 (B) は、本発明を適用した第 2 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 5】

図 5 は、本発明を適用したいずれかの実施の形態に係る半導体装置の製造方法から製造されてなる半導体装置が実装された回路基板を示す図である。

【図 6】

図 6 は、本発明を適用したいずれかの実施の形態に係る半導体装置の製造方法から製造されてなる半導体装置を有する電子機器を示す図である。

【図 7】

図 7 は、本発明を適用したいずれかの実施の形態に係る半導体装置の製造方法から製造されてなる半導体装置を有する電子機器を示す図である。

【符号の説明】

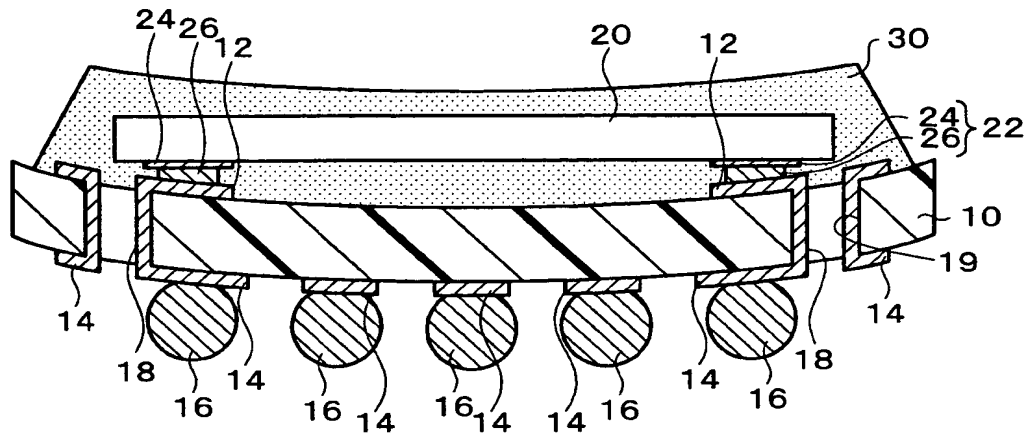
- 1 0 基板
- 1 2 配線パターン
- 1 4 配線パターン
- 1 6 外部端子
- 2 0 半導体チップ
- 3 0 封止材
- 4 0 基板
- 5 0 基板
- 6 0 外部端子



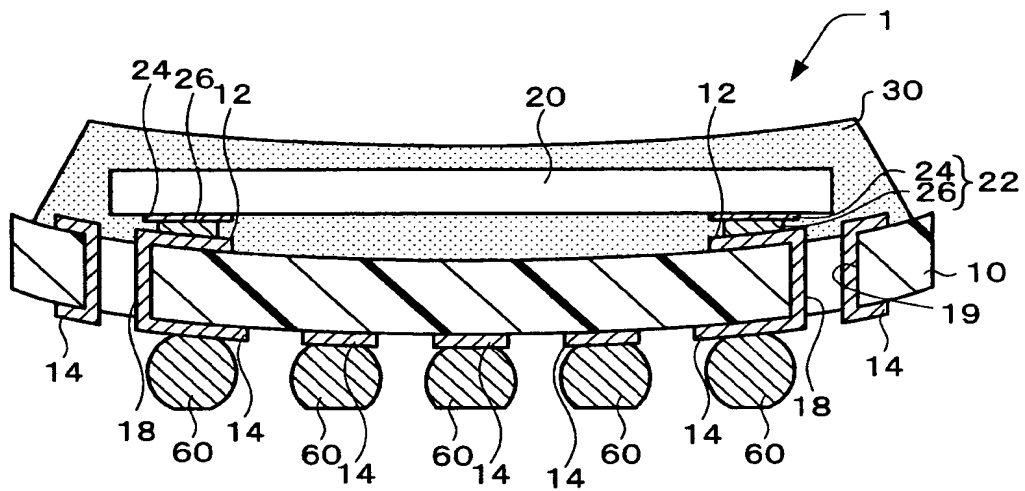
【書類名】 図面

【図 1】

(A)

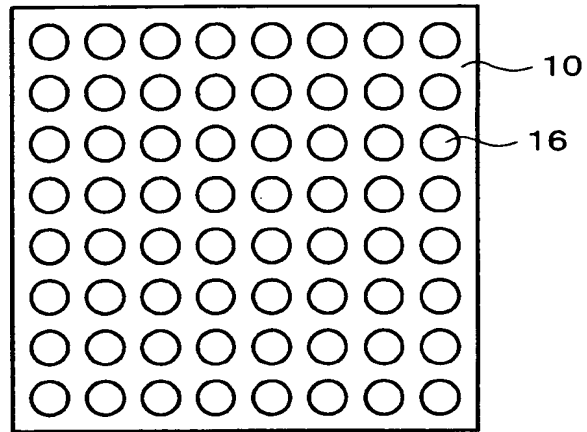


(B)

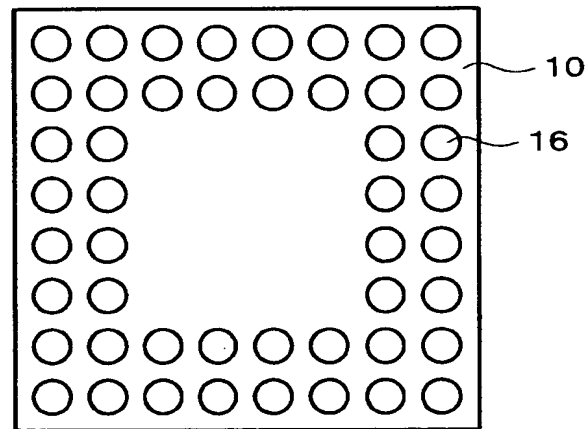


【図 2】

(A)

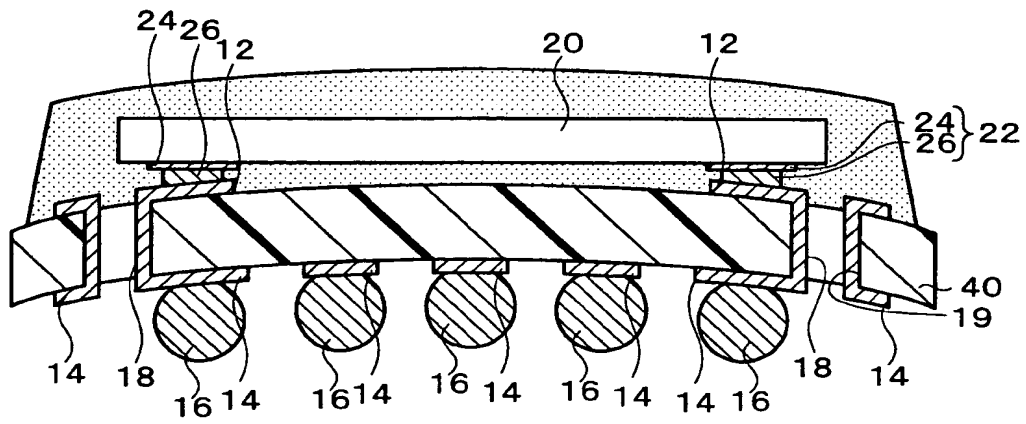


(B)

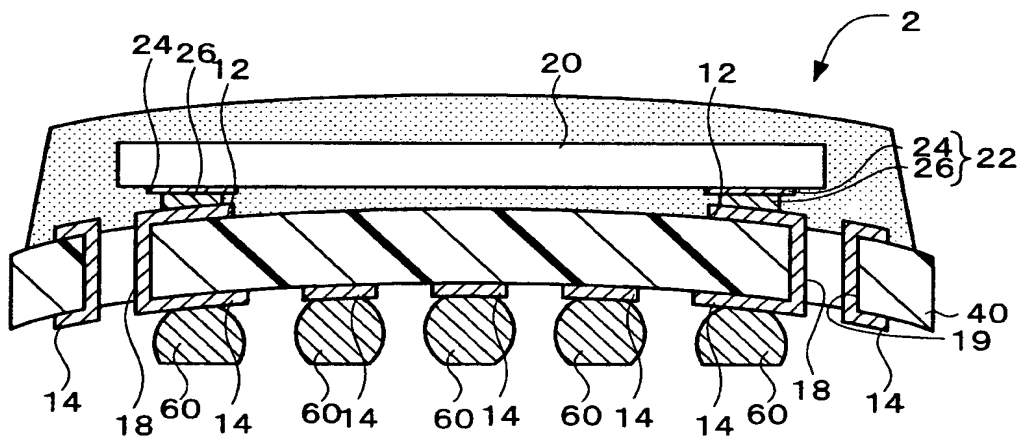


【図 3】

(A)

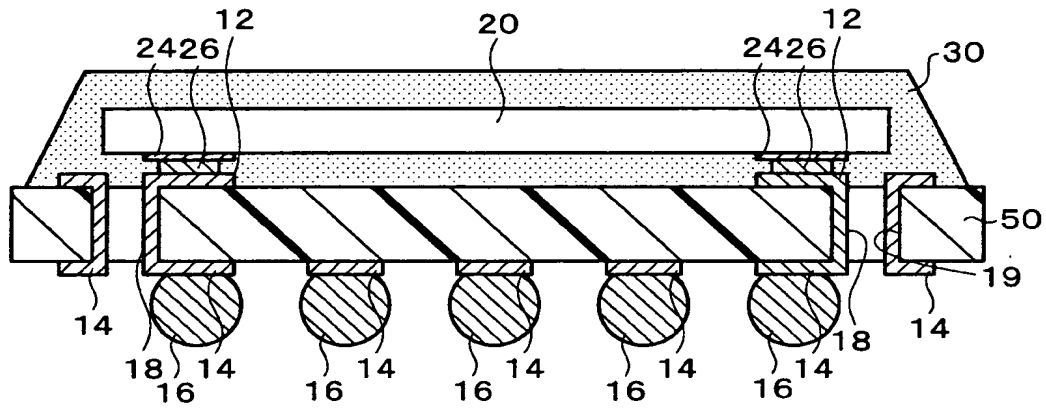


(B)

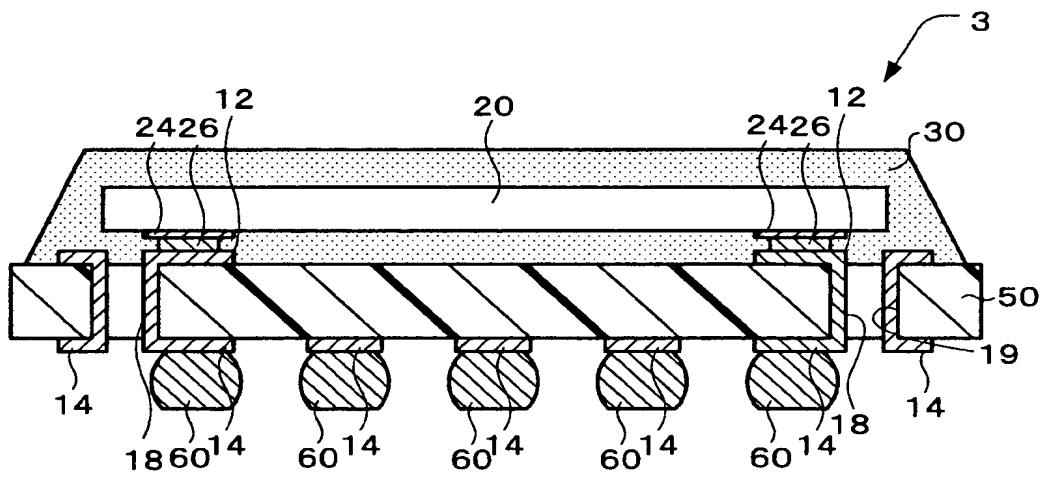


【図 4】

(A)

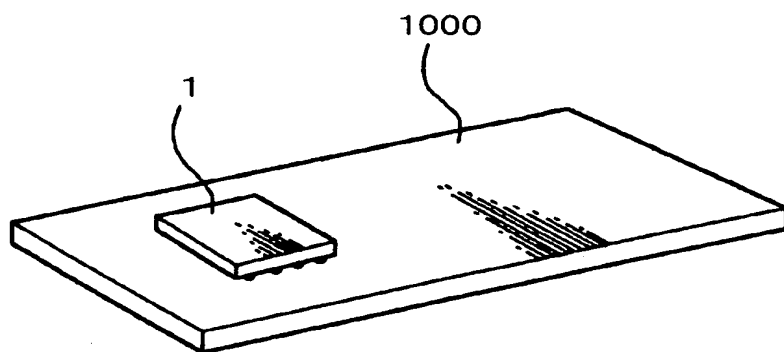


(B)

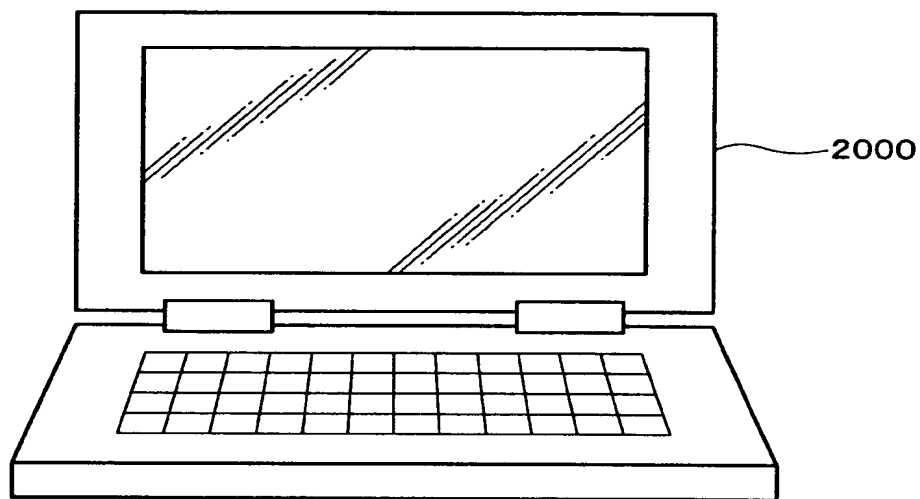




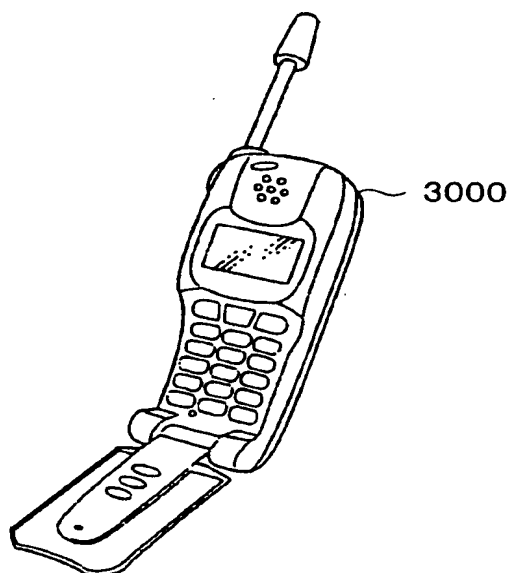
【図 5】



【図 6】



【図 7】





【書類名】 要約書

【要約】

【課題】 実装性の高い半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体装置の製造方法は、基板 1 0 の一方の面に搭載されて樹脂封止された半導体チップ 2 0 と電氣的に接続され、前記基板の他方の面に複数行複数列で設けられてなる複数の外部端子 1 6 のうち、少なくとも 1 つの前記外部端子 1 6 の高さを低くすることを含む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社